

EXPOSURE METHOD OF SEMICONDUCTOR DEVICE

Publication number: JP5136020

Publication date: 1993-06-01

Inventor: WAKITA MAKOTO

Applicant: FUJITSU LTD; FUJITSU VLSI LTD

Classification:

- **international:** **G03F7/20; H01L21/027; G03F7/20; H01L21/02; (IPC1-7): G03F7/20; H01L21/027**

- **European:** G03F7/20T20

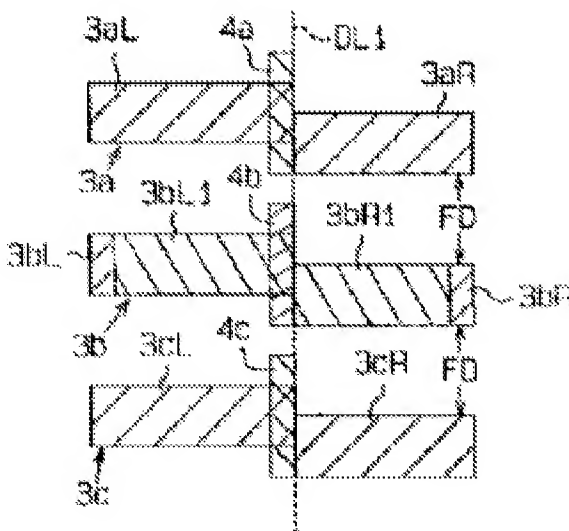
Application number: JP19910294653 19911111

Priority number(s): JP19910294653 19911111

[Report a data error here](#)

Abstract of JP5136020

PURPOSE: To avoid the breakdown of wiring patterns thereby enabling the cause of defective operation to be precluded while setting up the gaps between wiring patterns as the normal warrant gaps thereby enabling the reduction in efficiency to be avoided in relation to the divided exposure method of LSI in this invention. **CONSTITUTION:** Auxiliary patterns 4a, 4b, 4c containing respective pairs of divided patterns 3aL, 3aR, 3bL, 3bR, 3cL, 3cR in the width direction of the wiring patterns 3a, 3b, 3c passing through a division line DL 1 are formed. These auxiliary patterns 4a, 4b, 4c are included in the divided patterns 3aL, 3aR, 3bL, 3bR, 3cL, 3cR while said divided patterns 3aL-3cR and the auxiliary patterns 4a, 4c are division-exposed in the first layer and then the nearby parts 3bL1, 3bR1 of the wiring pattern 3b and the auxiliary pattern 4b are exposed in the second layer.



.....
Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-136020

(43) 公開日 平成5年(1993)6月1日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/027				
G 0 3 F 7/20	5 2 1	7818-2H		
		7352-4M	H 0 1 L 21/30	3 0 1 P
		7352-4M		3 0 1 A

審査請求 未請求 請求項の数1(全 5 頁)

(21) 出願番号 特願平3-294653

(22) 出願日 平成3年(1991)11月11日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(71) 出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72) 発明者 脇田 誠

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74) 代理人 弁理士 恩田 博宣

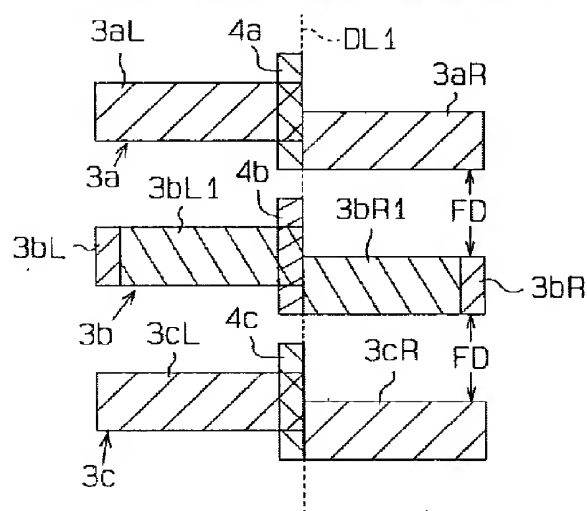
(54) 【発明の名称】 半導体装置の露光方法

(57) 【要約】

【目的】本発明はLSIの分割露光方法に関し、配線パターンの断裂を防止して動作不良の原因を除去できるとともに、配線パターン間の間隔を通常の保証間隔として配線効率の低下を防止できることを目的とする。

【構成】分割線DL1を通過する配線パターン3a、3b、3cの各一对の分割パターン3aL、3aR、3bL、3bR、3cL、3cRを幅方向において含む補助パターン4a、4b、4cを発生させ、これらの補助パターン4a、4b、4cを分割パターン3aL、3aR、3bL、3bR、3cL、3cRに含めるとともに、分割パターン3aL、3cL、3aR、3cR及び補助パターン4a、4cを第1の層に分割露光し、配線パターン3bの近傍部分3bL1、3bR1及び補助パターン4bを第2の層に露光する。

一実施例の分割露光における配線パターン間関係を示す図



【特許請求の範囲】

【請求項1】 第1の層に形成される所定の配線パターン群を複数の領域に分割し、領域毎に露光を繰り返して所定の配線パターン群を転写するようにした半導体装置の露光方法において、

隣接する一対の領域の分割線を通過する配線パターンについて分割線の両側における一対の分割パターンを他方の領域に延長して第1のマージンパターンを形成し、又は分割パターンのパターン幅を若干拡大して第2のマージンパターンを形成し、あるいは一対の分割パターンを幅方向において含む補助パターンを発生させ、これらの第1及び第2のマージンパターン並びに補助パターンを前記所定の配線パターン群に含めるとともに、互いに隣接する配線パターンの分割線との接触部分を含む近傍部分を第1の層及び第1の層とは異なる第2の層に交互に層を変えて転写するようにしたことを特徴とする半導体装置の露光方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置（LSI）の露光方法に係り、詳しくはLSIを分割露光する方法に関する。

【0002】 近年、LSIの大規模、高集積化の要求により配線パターンは極小化され、チップサイズは極大化されるようになってきている。このようなパターンの極小化及びチップサイズの極大化によりチップ全体を露光することはできなくなってきており、チップを複数の領域に分割し、領域毎に露光を繰り返して所定のパターンを転写するようになってきている。この際、隣接する一対の領域の境界を越えるパターンについて露光装置による誤差が生じ、この誤差によるパターンのずれからパターンに断裂を生じ、これがLSIの動作不良の原因となる。

【0003】

【従来の技術】 従来、半導体チップに所定のパターン群を分割露光する際、露光装置の精度により分割線DLにおいて誤差が生じる。即ち、図9（a）に示すように分割線DLを通過する配線パターン31aが存在するとき、分割線DLの両側の分割パターン31aL、31aRが分割露光されると、図9（b）に示すように両分割パターン31aL、31aRが上下方向に相対移動した状態に形成されて断裂してしまうことがあり、LSIの不良動作の原因となっていた。

【0004】 上記問題を解決するため、従来、図10に示すように幅方向において両分割パターン31aL、31aRを含む補助パターン32aを発生させ、この補助パターン32aを両分割パターン31aL、31aRに含めて転写させることにより、補助パターン32aにより分割パターン31aL、31aRを接続して配線パターン31aを形成するようにするようした露光方法が提案されている。

【0005】

【発明が解決しようとする課題】 しかしながら、上記従来の露光方法では、図10に示すように同一分割線DL上において互いに隣接する配線パターン31a、31bがある場合、配線パターン31bに対しても両分割パターン31bL、31bRを接続するための補助パターン32bが発生される。従って、LSIの動作を保証するには補助パターン32bと補助パターン32aとの間、又は補助パターン32bと分割パターン31bRとの間に保証間隔FDを確保しなければならず、配線パターン31a、31b間に保証間隔FDを確保すればよい通常の露光と比較して配線効率が低下するという問題点がある。

【0006】 本発明は上記問題点を解決するためになされたものであって、所定の配線パターン群を分割露光する際、各配線パターンの断裂を防止して動作不良の原因を除去できるとともに、隣接する一対の配線パターン間の保証間隔を通常の保証間隔として配線効率の低下を防止できることを目的とする。

【0007】

【課題を解決するための手段】 本発明は上記目的を達成するため、第1の層に形成される所定の配線パターン群を複数の領域に分割し、領域毎に露光を繰り返して所定の配線パターン群を転写するようにした半導体装置の露光方法において、隣接する一対の領域の分割線を通過する配線パターンについて分割線の両側における一対の分割パターンを他方の領域に延長して第1のマージンパターンを形成し、又は分割パターンのパターン幅を若干拡大して第2のマージンパターンを形成し、あるいは一対の分割パターンを幅方向において含む補助パターンを発生させ、これらの第1および第2のマージンパターン並びに補助パターンを前記所定の配線パターン群に含めるとともに、互いに隣接する配線パターンの分割線との接触部分を含む近傍部分を第1の層及び第1の層とは異なる第2の層に交互に層を変えて転写するようにした。

【0008】

【作用】 本発明では、隣接する一対の領域の分割線を通過する配線パターンについて分割線の両側における一対の分割パターンを他方の領域に延長して第1のマージンパターンを形成し、又は分割パターンのパターン幅を若干拡大して第2のマージンパターンを形成し、あるいは一対の分割パターンを幅方向において含む補助パターンを発生させる。そして、これらの第1および第2のマージンパターン並びに補助パターンを前記所定の配線パターン群に含め、互いに隣接する配線パターンの分割線との接触部分を含む近傍部分を第1の層及び第1の層とは異なる第2の層に交互に層を変えて転写するようにしているので、各配線パターンの断裂が防止され動作不良の原因が除去されるとともに、隣接する各配線パターン間の保証間隔を通常の保証間隔とすることができ、配線効

率の低下を防止することが可能となる。

【0009】

【実施例】以下、本発明を具体化した一実施例を図1～図6に従って説明する。図3は半導体装置のレイアウトデータを示し、半導体チップ1には複数のセル列2が形成され、各セル列2における所定のセル2aが配線Lにて接続されている。そして、半導体チップ1は直交する一対の分割線DL1、DL2により複数の領域1A～1Dに分割され、実際に半導体基板上に素子パターン又は配線パターンを露光する際には、領域1A～1D毎に露光が繰り返されて所定の配線パターン群が転写される。

【0010】次に分割露光について説明すると、図1は例えば図3における領域1A、1B間の分割線DL1を通過する配線Lの配線パターン3a、3b、3cを示し、各配線パターン3a、3b、3cは第1の層において互いに保証間隔FDだけ離間して設計され、各配線パターン3a、3b、3cは分割線DL1によりそれぞれ分割パターン3aL、3aR、3bL、3bR、3cL、3cRに分割されている。

【0011】これらの分割パターン3aL、3aR、3bL、3bR、3cL、3cRを分割露光するに際し、予め図4(a)、(b)に示すように、幅方向において分割パターン3aL、3aR、3bL、3bR、3cL、3cRを含む補助パターン4、5を作成してライブラリ化しておく。図4(a)に示す補助パターン4は原点4aを備えた一辺が分割線DL上に配置されるパターンである。図4(b)に示す補助パターン5はその中央部に原点5aを備え、補助パターン5は分割線DLが原点5aを通るように配置されるパターンである。

【0012】そして、図5(a)に示すように分割パターン3aL(3cL)、3aR(3cR)に対して、これらの分割パターン3aL(3cL)、3aR(3cR)と同一の層において、例えば図4(a)に示す補助パターン4に基づいて補助パターン4a(4c)を発生させる。この後、図5(b)に示すように分割線DL1の左側において分割パターン3aL(3cL)及び補助パターン4a(4c)を露光し、分割線DL1の右側において分割パターン3aR(3cR)を露光する。これにより、図3に示すように両分割パターン3aL(3cL)、3aR(3cR)は上下方向に相対移動した状態に形成されるが、補助パターン4a(4c)により分割パターン3aL(3cL)、3aR(3cR)が接続される。

【0013】又、分割パターン3bL、3bRについては、図3に示すように分割線DL1との接触部分を含む近傍部分3bL1、3bR1及び補助パターン4bを、前記分割パターン3aL(3cL)、3aR(3cR)の上層の第2の層に発生させて露光する。これにより、両分割パターン3bL、3bRが上下方向に相対移動した状態に形成されるが、補助パターン4bにより分割パ

ターン3bL、3bRが接続される。

【0014】さて、本実施例では分割線DL1上において互いに隣接する配線パターン3a、3b、3cを分割露光する際、配線パターン3a、3cについては分割パターン3aL、3cL、3aR、3cR及び補助パターン4a、4cを第1の層にて分割露光し、配線パターン3bについては分割線DL1との接触部分を含む近傍部分3bL1、3bR1及び補助パターン4bを第2の層に露光したので、各配線パターン3a、3b、3cの断裂を防止して動作不良の原因を除去することができる。

【0015】又、本実施例では配線パターン3a、3cの分割パターン3aL、3cL、3aR、3cR及び補助パターン4a、4cを第1の層に分割露光し、配線パターン3bの近傍部分3bL1、3bR1及び補助パターン4bを第2の層に露光しているので、従来の露光方法のように補助パターン4aと補助パターン4bとの間、又は補助パターン4bと分割パターン4cとの間の保証間隔を考慮する必要がなくなり、配線パターン3a及び3b間、3b及び3c間の保証間隔FDを通常の保証間隔とすることができ、配線効率の低下を防止してLSIの歩留りを向上することができる。

【0016】尚、図6(a)に示すように、分割パターン3aL、3aR等に対して、図4(b)に示す補助パターン5を発生させ、図6(b)に示すように分割線DLの両側において分割パターン3aL、3aR及び補助パターン5を分割露光するようにしてもよい。

【0017】又、図7(a)に示すように、分割線DLを通過する配線パターン6において、分割線DLの両側における一対の分割パターン6L、6Rをそれぞれ他方の分割パターンまで延長して第1のマージンパターン6L1、6R1を形成し、図7(b)に示すように分割線DLの両側において分割パターン6L1、6R1を分割露光するようにしてもよい。

【0018】更に、図8(a)に示すように、分割線DLを通過する配線パターン7において、分割線DLの両側における一対の分割パターン7L、7Rのパターン幅を二点鎖線で示す状態から若干拡大して第2のマージンパターンを形成し、図8(b)に示すように分割線DLの両側において分割パターン7L、7Rを分割露光するようにしてもよい。

【0019】

【発明の効果】以上詳述したように本発明によれば、所定の配線パターン群を分割露光する際、各配線パターンの断裂を防止して動作不良の原因を除去できるとともに、隣接する一対の配線パターン間の保証間隔を通常の保証間隔として配線効率の低下を防止できる優れた効果がある。

【図面の簡単な説明】

【図1】分割線を通過する複数の配線パターンを示す図である。

5

6

【図2】一実施例の分割露光における配線パターン間の関係を示す図である。

【図3】半導体装置のレイアウト図である。

【図4】(a)、(b)はそれぞれ補助パターンを示す図である。

【図5】(a)は配線パターン及び補助パターンを示す図であり、(b)は分割露光結果を示す図である。

【図6】(a)は配線パターン及び補助パターンを示す図であり、(b)は分割露光結果を示す図である。

【図7】(a)は第1のマージンパターンを示す図であり、(b)は分割露光結果を示す図である。

【図8】(a)は第2のマージンパターンを示す図であり、(b)は分割露光結果を示す図である。

【図9】(a)は配線パターンを示す図であり、(b)

は従来の分割露光結果を示す図である。

【図10】従来の分割露光における一対の配線パターンの関係を示す図である。

【符号の説明】

1A~1D 領域

3a, 3b, 3c 配線パターン

3aL, 3aR, 3bL, 3bR, 3cL, 3cR 分割パターン

3bL1, 3bR1 近傍部分

4a, 4b, 4c 補助パターン

6L1, 6R1 第1のマージンパターン

7L, 7R 第2のマージンパターン

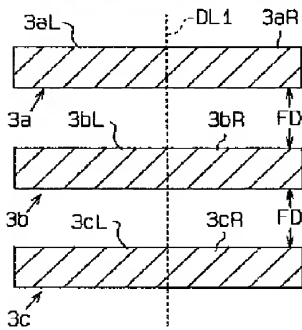
DL1, DL2 分割線

【図1】

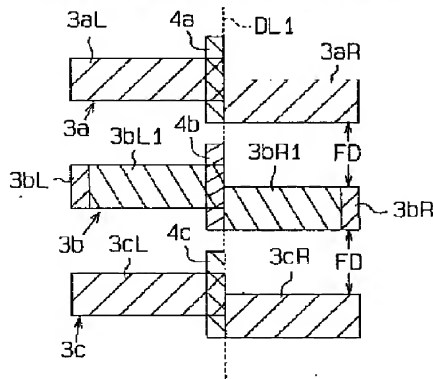
【図2】

【図10】

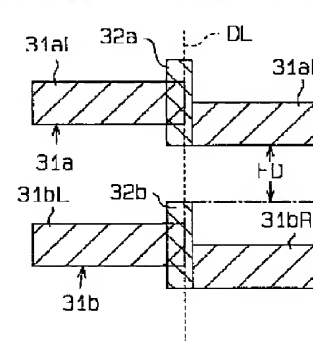
分割線を通る複数の配線パターンを示す図



一実施例の分割露光における配線パターン間の関係を示す図



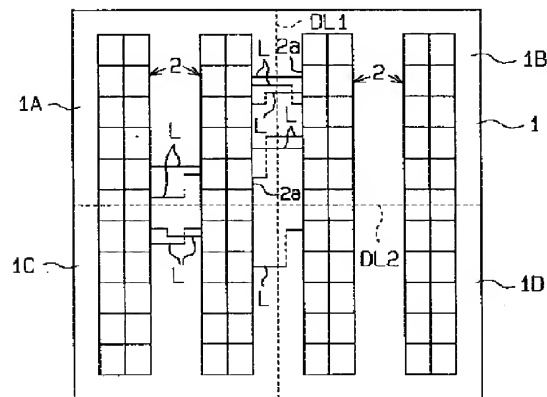
従来の分割露光における一対の配線パターンの関係を示す図



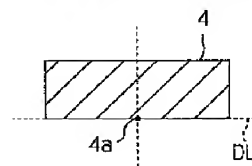
【図3】

【図4】

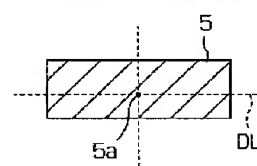
半導体装置のレイアウト図



(a) 補助パターンを示す図

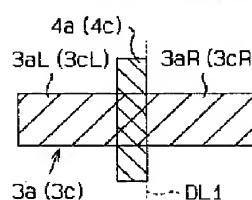


(b) 補助パターンを示す図

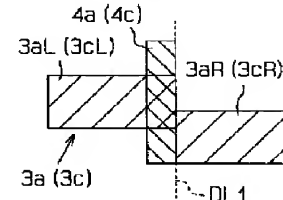


【図5】

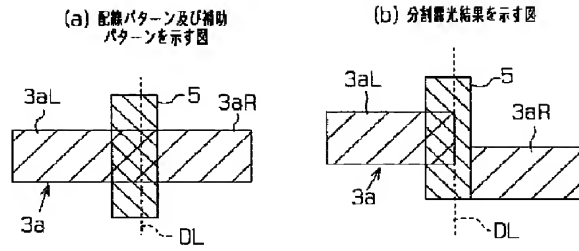
(a) 配線パターン及び補助パターンを示す図



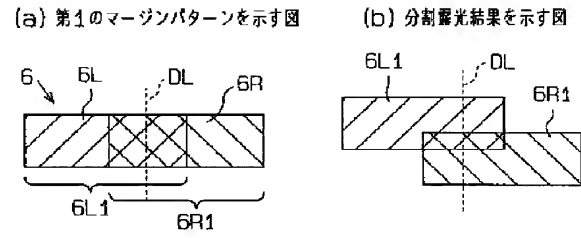
(b) 分割露光結果を示す図



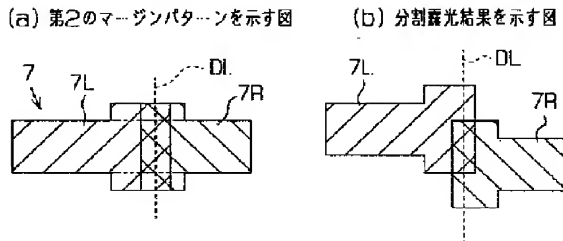
【図6】



【図7】



【図8】



【図9】

